

Family list:

1 family member for: **JP5093920**

Derived from 1 application

1 LIQUID CRYSTAL DISPLAY DEVICE AND PRODUCTION THEREOF

Inventor: SHIBA MASATAKA; TANAKA TSUTOMU; (+2)

Applicant: HITACHI LTD

EC:

IPC: G02F1/1343; G02F1/136; G02F1/1368 (+12)

Publication info: JP5093920 A - 1993-04-16

Data supplied from the *esp@cenet* database - Worldwide

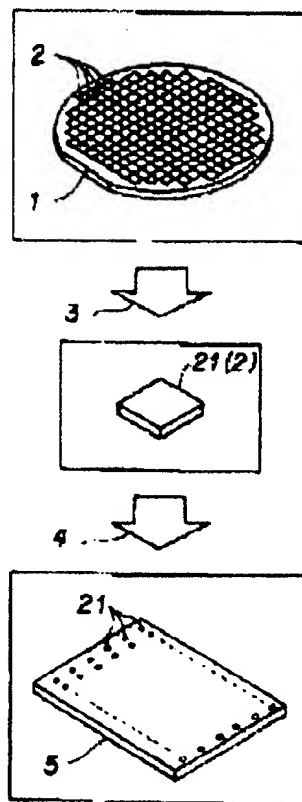
LIQUID CRYSTAL DISPLAY DEVICE AND PRODUCTION THEREOF

Patent number: JP5093920
Publication date: 1993-04-16
Inventor: SHIBA MASATAKA; TANAKA TSUTOMU; TAGUCHI NORIYUKI;
TODOROKI SATORU
Applicant: HITACHI LTD
Classification:
- international: G02F1/1343; G02F1/136; G02F1/1368; H01L21/336; H01L27/12;
H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66;
(IPC1-7): G02F1/1343; G02F1/136; H01L27/12; H01L29/784
- european:
Application number: JP19910256526 19911003
Priority number(s): JP19910256526 19911003

Report a data error here

Abstract of JP5093920

PURPOSE: To improve the yield of production by the improvement in the working efficiency of TFTs and the relaxation of a scale factor and to reduce the production cost of a TFT substrate. **CONSTITUTION:** The many TFTs 2 are simultaneously and concentrically formed at a high density on a substrate, such as wafer 1, different from a TFT substrate 5 separably by cutting from the substrate. The discrete transistors 21 cut and separated from the TFTs 2 formed at the high density are mounted respectively in the positions corresponding to the respective picture elements on the substrate having wirings, etc., for a matrix, by which the TFT substrate 5 is formed.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-93920

(43)公開日 平成5年(1993)4月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1343		9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A
			審査請求	未請求 請求項の数11(全 13 頁)

(21)出願番号 特願平3-256526

(22)出願日 平成3年(1991)10月3日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 芝 正孝

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72)発明者 田中 勉

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72)発明者 田口 矩之

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74)代理人 弁理士 秋本 正実

最終頁に続く

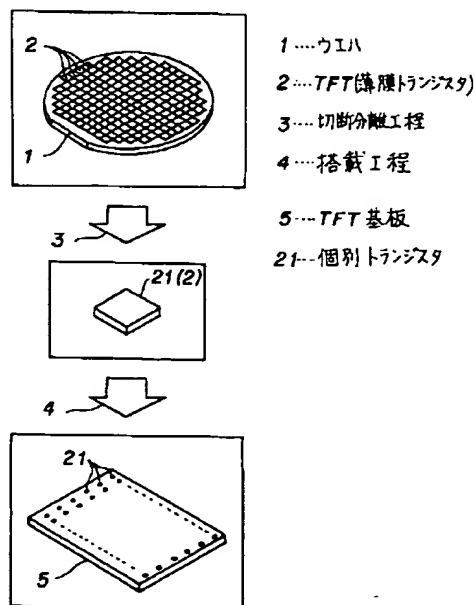
(54)【発明の名称】 液晶表示装置およびその製造方法

(57)【要約】

【目的】 T F Tの加工効率の向上とスケールファクタの緩和とによりその製造歩留まりを向上させ、T F T基板の製造コストを低減することができる液晶表示装置およびその製造方法を提供する。

【構成】 T F T基板とは異なるウエハ等の基板上に、該基板から切断分離可能に多数のT F Tを集中的に高密度に同時形成し、該高密度に形成されたT F Tより切断分離した個別のトランジスタを、マトリックス用配線等を有する基板上の各画素に対応した位置にそれぞれ搭載してT F T基板を形成する。

【図 1】本発明のTFT基板形成の工程説明図



【特許請求の範囲】

【請求項1】 マトリックス用の配線、該配線に対応して設けられた多数の画素電極および該各画素電極のスイッチング用のトランジスタとを有する基板と、対向電極を有するカバーガラスと、対向させた前記両者間に封入した液晶とを備えてなるフラットパネル形の液晶表示装置において、前記基板とは異なるウエハ等の基板上に、該基板から切断分離可能に多数の薄膜トランジスタを高密度に形成し、該薄膜トランジスタより切断分離して形成された個別のトランジスタを、前記マトリックス用配線等を有する基板上の各画素に対応した位置にそれぞれ搭載して形成された薄膜トランジスタ基板を備えてなることを特徴とする液晶表示装置。

【請求項2】 前記個別トランジスタが、リフトオフ法により切断分離して形成される請求項1記載の液晶表示装置。

【請求項3】 前記個別トランジスタが、その搭載面を円形に形成されるとともに、該搭載面に同心円状の3つの電極を形成されてなる請求項1記載の液晶表示装置。

【請求項4】 前記個別トランジスタが、その搭載面の形状を左右または上下に非対称に形成されてなる請求項1記載の液晶表示装置。

【請求項5】 前記個別トランジスタが、その厚さを所定の一定寸法に形成されてなる請求項1記載の液晶表示装置。

【請求項6】 マトリックス用の配線、該配線に対応して設けられた多数の画素電極および該各画素電極のスイッチング用のトランジスタとを有する基板と、対向電極を有するカバーガラスと、対向させた前記両者間に封入した液晶とを備えてなるフラットパネル形の液晶表示装置の製造方法において、前記基板とは異なるウエハ等の基板上に、後で選択的に除去可能なレジスト材からなるリフトオフ層を形成し、該リフトオフ層上面にホトレジストプロセスまたは成膜プロセスにより多数の薄膜トランジスタを、前記マトリックス用配線および画素電極と接続する電極が前記リフトオフ層上面と同一面になるように高密度に形成し、前記リフトオフ層を除去して前記薄膜トランジスタより個別のトランジスタを切断分離し、分離した個別のトランジスタを前記マトリックス用配線等を有する基板上の各画素に対応させた位置に搭載して電氣的に接続し、薄膜トランジスタ基板を形成したことを特徴とする液晶表示装置の製造方法。

【請求項7】 前記ウエハ等の基板上に形成された薄膜トランジスタからの個別トランジスタの切断分離を、リフトオフ法により行う請求項6記載の液晶表示装置の製造方法。

【請求項8】 前記個別トランジスタの搭載面を円形に形成し、かつ該搭載面に同心円状の3つの電極を形成する請求項6記載の液晶表示装置の製造方法。

【請求項9】 前記個別トランジスタの搭載面の形状

を、左右または上下に非対称に形成する請求項6記載の液晶表示装置の製造方法。

【請求項10】 前記個別トランジスタの搭載される薄膜トランジスタの基板面に、個別トランジスタの搭載面形状に対応した搭載時位置決め用の位置決め層を形成する請求項6、8または9記載の液晶表示装置の製造方法。

【請求項11】 前記個別トランジスタの厚さを、成膜プロセスを制御して所定の一定寸法に形成する請求項6記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スイッチマトリックス形の液晶テレビモニタのように、多数の表示画素をスイッチング用トランジスタにより個別に制御するフラットパネル形の液晶表示装置およびその製造方法に係わり、特に、薄膜トランジスタの製造歩留まりを向上させて、薄膜トランジスタ基板の製造コストを低減するのに好適な液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】液晶表示装置のうち液晶テレビモニタ等のフラットパネルディスプレイの分野では、明るい画像、高い解像度、速い応答性、および多階調表示の実現可能な製品に対するニーズが高まってきている。ディスプレイ用のガラス基板上に、ホトレジストプロセスまたは成膜プロセスを用いて3端子の薄膜トランジスタ（Thin-Film-Transistor、以下、単にTFTという）を直接形成するTFT液晶テレビモニタは、TFTをスイッチング素子として使用し、各画素を個別かつ多階調に制御できるため、次世代のフラットパネルディスプレイとして注目されており、より一層の大画面化および高解像度化に向けて開発が進められている状況にある。

【0003】図11にスイッチマトリックス形の液晶テレビモニタの構造概念を示す。図において、24a～24mは信号駆動系51に接続されたデータ線、25a～25nは走査駆動系50に接続されたゲート線、26はデータ線24a～24mおよびゲート線25a～25nに対応して設けられた多数の画素電極、29は画素電極26の容量蓄積部、52は画素駆動スイッチ用のトランジスタである。データ線24a～24mおよびゲート線25a～25nによりトランジスタ52が選択されると、容量蓄積部29に電荷が蓄積され、蓄積された電荷量に応じて画素電極26と該画素電極26に対向して配置されている図示しない透明電極との間の電界が変化し、両者の間に封入されている液晶の配向が制御される構成になっている。

【0004】上記TFT液晶テレビモニタの従来の製造方法は、「フラットパネル・ディスプレイ1991」（日経エレクトロニクス・日経マイクロデバイス編集、

日経BP社1990. 11. 26発行、p82)に、TFTの形成工程、アクティブ・マトリックス型基板を作る工程、セル化やドライバを実装する工程等が記載されている。このうちTFTの形成工程の一般例を、TFTの側断面図を示す図12を参照して説明する。図において、ガラス基板28上に、まずゲート電極12を形成し、つづいてゲート酸化膜13、ゲート絶縁膜14、アモルファスSi15、チャンネル・ストッパ16を順次形成する。つぎに、アモルファスSi15の島を形成して該島の上にオーミック層と呼ばれる拡散防止膜17、17'を形成する。ついで、図示しないITO膜の画素電極を形成し、さらに、ソース電極18、ドレイン電極19を形成した後、保護膜20を形成してTFTが完成する。このTFTの製造は、半導体の場合と同様に、パターンの露光および現像を行うホトレジストプロセスや、スパッタ、エッチングあるいはCVD法等の成膜プロセスにより行われていた。そして、TFT液晶テレビモニタは、この完成したTFTを多数搭載したTFT基板に、図示しないブラック・マトリックスやカラー・フィルタを形成した後、該TFT基板とITO膜の対向電極を設けたカバーガラスとを、封入した液晶を介して対向させて形成される。この場合、封入した液晶のギャップは、微小径のビーズ玉を液晶とともに多数封入して一定に保つようになっていた。

【0005】

【発明が解決しようとする課題】前記TFTの製造におけるホトレジストプロセスや成膜プロセスは、TFTの基板全面に対して行う一括処理であるため、従来はこの方法が半導体の場合と同様に、TFTの製造コストを低減することができる鍵になると考えられていた。しかし、TFTの基板はその面積のほとんどが画素の開口部で占められているため、数1にて示される基板上のすべてのTFTの合計面積 ΣAt が、TFTの基板の全面積 Ad に占める割合、すなわち加工効率 η の値は、1/数百～1/数千の非常に小さい値になる。なお、この値は、1個のTFT面積 At と1つの画素面積 Ae との割合にほぼ等しい。

【0006】

【数1】

【数1】

$$\eta = \frac{\Sigma At}{Ad} \div \frac{At}{Ae} \quad \dots\dots\dots (数1)$$

η : 加工効率

ΣAt : トランジスタ部面積合計

Ad : TFT基板面積

At : 1トランジスタ面積

Ae : 1画素面積

【0007】このため、前記ホトレジストプロセスや成膜プロセスの実質的な加工効率が低くなり、製造のスループットの低下や、高精度の露光装置等の高価な製造装置の必要性を招くなど、製造コストの低減に対して限界を生じさせる問題点を有していた。

【0008】また、TFTのトランジスタ特性は、前記図12に示すチャンネル長 L に大きく依存するが、画素の開口部の面積をできるだけ広く取るようにするために、その分TFT自体の寸法は小さくさせられる傾向になっている。しかし、ディスプレイの大画面化へのニーズが高いことからその画面となるTFT基板の面積は大きな傾向になっており、このため、数2で示される画面サイズ S に対するチャンネル長 L の必要加工精度 ΔL の比率として定義されるスケールファクタ C は、通常2～3PPMになっている。

【0009】

【数2】

【数2】

$$C = \frac{\Delta L}{S} \quad \dots\dots\dots (数2)$$

C : スケールファクタ

ΔL : 必要加工精度

S : 画面サイズ

【0010】この値は、半導体の場合が数PPMであるのに比べると約半分以下で、露光時の像歪や、合わせ誤差が無視できなくなり、製造歩留まりを低下させて製造コストを上昇させる問題点を有していた。

【0011】さらに従来は、1つの画素部分の拡大平面図である図10に示すように、トランジスタ52を該トランジスタの特性を安定させる等の理由から、データ線24およびゲート線25から外れた位置に形成していた。このため、各画素の開口部31の面積が、画素電極26から容量蓄積分29およびドレイン電極19との接続部の面積を除いた図に斜線で示す縮小された面積に制限され、画質を低下させる1因となっていた。

【0012】本発明は、上記従来技術の問題点に鑑み、TFTの加工効率の向上とスケールファクタの緩和とによりその製造歩留まりを向上させ、TFT基板の製造コストを低減することができる液晶表示装置およびその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明は、マトリックス用の配線、該配線に対応して設けられた多数の画素電極および該各画素電極のスイッチング用のトランジスタとを有する基板と、対向電極を有するカバーガラスと、対向させた前記両者間に封入した液晶とを備えてなるフラットパネル形の液晶表示装置において、前記基板とは異なるウエハ等の基板上に、

該基板から切断分離可能に多数の薄膜トランジスタを高密度に形成し、該薄膜トランジスタより切断分離して形成された個別のトランジスタを、前記マトリックス用配線等を有する基板上の各画素に対応した位置にそれぞれ搭載して形成された薄膜トランジスタ基板を備える構成にしたものである。

【0014】そして、前記個別トランジスタを、リフトオフ法により切断分離して形成することが望ましく、また、前記個別トランジスタの搭載面を、円形に形成して該搭載面に同心円状の3つの電極を形成するか、搭載面の形状を左右または上下に非対称に形成するとよい。さらに、個別トランジスタの厚さを、所定の一定寸法に形成することが好ましい。

【0015】一方、本発明の液晶表示装置の製造方法は、マトリックス用の配線、該配線に対応して設けられた多数の画素電極および該各画素電極のスイッチング用のトランジスタとを有する基板と、対向電極を有するカバーガラスと、対向させた前記両者間に封入した液晶とを備えてなるフラットパネル形の液晶表示装置の製造方法において、前記基板とは異なるウエハ等の基板上に、後で選択的に除去可能なレジスト材からなるリフトオフ層を形成し、該リフトオフ層上面にホトレジストプロセスまたは成膜プロセスにより多数の薄膜トランジスタを、前記マトリックス用配線および画素電極と接続する電極が前記リフトオフ層上面と同一面になるように高密度に形成し、前記リフトオフ層を除去して前記薄膜トランジスタより個別のトランジスタを切断分離し、分離した個別のトランジスタを前記マトリックス用配線等を有する基板上の各画素に対応させた位置に搭載して電氣的に接続し、薄膜トランジスタ基板を形成する構成にしたものである。

【0016】そして、前記ウエハ等の基板上に形成された薄膜トランジスタからの個別トランジスタの切断分離を、リフトオフ法により行うことが望ましく、また、前記個別トランジスタの搭載面を円形に形成して該搭載面に同心円状の3つの電極を形成するか、搭載面の形状を、左右または上下に非対称に形成する方法にするとよい。一方、前記個別トランジスタの搭載される薄膜トランジスタの基板面に、個別トランジスタの搭載面形状に対応した搭載時位置決め用の位置決め層を形成するとよい。さらに、個別トランジスタの厚さを、成膜プロセスを制御して所定の一定寸法に形成することが好ましい。

【0017】

【作用】上記構成としたことにより、多数のTFTが、TFTの基板とは別のガラスまたはSiのウエハ上に、従来の半導体の製造の場合と同様にホトレジストプロセスまたは成膜プロセスを用いて、該ウエハ上から切断分離可能に集中的に形成される。このように形成されたTFTは、従来のダイシングソー等の機械的切断法におけるように100 μ m近いダイシング幅を必要としないた

め、前記ウエハ上に数 μ mの間隙で高密度に形成することが可能になる。このため、後述するように、前記加工効率 η の値が前記従来技術のレベルに比べて格段に向上するとともに、前記スケールファクタCの値も数倍のレベルに緩和され、TFTの製造歩留まりを向上させてTFT基板全体の製造コストを格段に低減することが可能になる。そして、成膜プロセスを制御することにより、前記多数のTFTの厚さを、薄く、しかも安定した所定の寸法に形成することも可能になる。

【0018】前記ウエハ上に形成されたTFTは、リフトオフ法等の技術を用いて前記ウエハ上から個別のトランジスタに切断分離され、該分離された個別のトランジスタは、マトリックス用の配線と該配線に対応して設けられた多数の画素電極を有する基板上の各画素に対応した位置に搭載される。この搭載により互いの電極等が電氣的に接続され、各画素電極のスイッチング用のトランジスタを形成してTFT基板を完成する。

【0019】

【実施例】以下、本発明の実施例を図1ないし図9を参照して説明する。図1はTFT基板形成のフロー説明図、図2はウエハ上に形成されるTFTの構造例を示す断面図、図3はTFT基板に対する個別トランジスタの搭載要領説明図、図4は個別トランジスタの搭載面形状の第1の実施例を示す側断面図、図5は図4のV-V矢視図（下面図）、図6は個別トランジスタの搭載面形状の第2の実施例を示す平面図、図7は個別トランジスタの搭載面形状の第3の実施例を示す平面図、図8は個別トランジスタを搭載した1つの画素部分の拡大平面図、図9は個別トランジスタを搭載した液晶表示装置の一部側断面図である。図中、図10ないし図12と同符号のものは同じものを示す。

【0020】図1において、1はガラスやSi等のウエハ、2はウエハ1上に従来の半導体の製造と同様にホトレジストプロセスまたは成膜プロセスにより数 μ mの間隙で高密度に集中的に形成された多数のTFTである。この場合TFT2の形成に当たっては、まず、ウエハ1上に後で選択的に除去可能なレジスト材からなる図2に示すリフトオフ層11が形成され、ついでリフトオフ層11上面に前記プロセスにより形成される。矢印で示す3はリフトオフ層11をリフトオフ法により除去してウエハ1上からTFT2を分離する切断分離工程、21は分離された個別トランジスタである。5はマトリックス用の配線と該配線に対応して設けられた多数の画素電極を有するTFT基板、矢印で示す4は個別トランジスタ21をTFT基板5上の各画素に対応させた位置に搭載する搭載工程を示す。

【0021】上記プロセスによるTFT2の形成により、本発明の実質的な加工効率 η の値は、数3にて示されるように、1個のTFT面積 A_t と該面積 A_t に切断代面積 A_c を加えた面積との比になる。このため実質的

な加工効率 η は、本式から明らかなように数十%のレベルになる。従って、前記従来の1/数百~1/数千のレベルの値に比べて2桁以上も向上することになる。

【0022】

【数3】

【数3】

$$\eta = \frac{A_t}{A_t + A_c} \quad \dots\dots\dots (数3)$$

A_c : 切断代面積

【0023】上記から、TFT基板製造のスループットを向上させ、従来必要としていた高精度の露光装置等の高価な製造装置を使用しなくて済み、製造コストを大幅に低減することが可能になる。

【0024】また、スケールファクタCは数4にて示されるように、チャネル長Lの必要加工精度 ΔL と加工（露光）単位サイズTとの比になる。このため、本発明におけるスケールファクタCは約10~数十PPMのレベルになる。この値は前記従来の2~3PPMに比べて

【0025】

【数4】

【数4】

$$C = \frac{\Delta L}{T} \quad \dots\dots\dots (数4)$$

T : 加工（露光）単位サイズ

【0026】このスケールファクタCの緩和は、露光時の像歪や、合わせ誤差等を緩和可能にし、製造歩留まりを向上させて製造コストを低減させる効果を有する。

【0027】なお、TFT2搭載前の基板においてもその加工精度が緩和されるため、従来使用していた高価なホトレジストプロセス用の製造装置等に代わり、印刷方法等の安価な方法の製造装置の使用が可能になり、TFT基板5の製造コストを低減させることができる。

【0028】つぎに図2において、ウエハ1上に形成されたリフトオフ層11の上面に、前記図12で示したと同様にまずゲート電極12を形成し、つづいてゲート酸化膜13、ゲート絶縁膜14、アモルファスSi15、チャネル・ストッパ16を順次形成する。つぎに、アモルファスSi15の島を形成して該島の上にオーミック層と呼ばれる拡散防止膜17、17'を形成する。ついで、図示しないITO膜の画素電極を形成し、さらに、ソース電極18、ドレイン電極19を形成した後、保護膜20でカバーしてTFT2を形成する。この場合、ソース電極18およびドレイン電極19の各一端側の面を、ゲート電極12と同様にリフトオフ層11の上面に一致させる。TFT2形成後、リフトオフ層11を現像

液に浸漬するなどして除去すると、TFT2はウエハ1より切断分離されて個別トランジスタ21が形成される。

【0029】上記の如くウエハ1よりのTFT2の切断分離がリフトオフ法を使用して行われるため、ウエハ1上のTFT2は、従来のダイシングソー等の機械的切断法のように100 μ m近いダイシング幅を必要とせず、数 μ mの間隙で高密度に形成することが可能になる。従って、実質的な加工効率 η の値が、前記数3で示すように、従来技術のレベルに比べて数値で2桁以上も格段に向上するとともに、前記スケールファクタCの値も前記数4で示すように数倍のレベルに緩和され、TFT2の製造歩留まりを向上させてTFT基板5全体の製造コストを格段に低減することが可能になる。そして、成膜プロセスを制御することにより、前記多数のTFT2の厚さを、薄く、しかも安定した所定の寸法に形成することも可能になる。

【0030】つぎに図3において、6はマトリックス用の配線を形成するデータ線24およびゲート線25と、ITO膜にて形成された画素電極26とを、ガラス基板28上に絶縁層27を間に挟んで形成した基板、23、23'は基板6上面のマトリックス配線の交点付近に形成された凹凸を用いた位置決め層である。位置決め層23、23'は、基板6上に個別トランジスタ21が搭載される際、容易に所定の位置に挿入配置されるように、個別トランジスタ21の外周部の位置決め用のガイド穴となるように形成されている。搭載された個別トランジスタ21は、ソース電極18がハンダ22aを介してデータ線24に、ゲート電極12がハンダ22bを介してゲート線25に、そして、ドレイン電極19がハンダ22cを介して画素電極26にそれぞれ接続される。

【0031】つぎに図4および図5において、個別トランジスタ21の基板6上への搭載面は円形に形成されており、ソース電極18、18'とドレイン電極19、19'とは、前記基板6上への搭載面においてゲート電極12を中心に同心円状に配置形成されている。このように個別トランジスタ21の搭載面形状および各電極を配置形成することにより、個別トランジスタ21の搭載時に、ソース電極18、ゲート電極12、ドレイン電極19の3つの電極と、該各電極に対応するデータ線24、ゲート線25、画素電極26との各接続を、極性を間違えることなく容易かつ正確に行うことが可能になる。ここで32は、ソース電極18、18'とドレイン電極19、19'との間の絶縁層である。

【0032】図6および図7は、いずれも基板6上への搭載面形状を非対称の長方形に形成した例である。この場合、位置決め層23、23'は、その形状および配置を個別トランジスタ21a、21bの搭載面形状に合わせて形成する。ここで、図6は、個別トランジスタ21aの一部に突起部30aを設け、ソース電極18、ゲート

ト電極12、ドレイン電極19の3つの電極を、一列に順序よく配置したものである。また、図7は図6の変形例で、個別トランジスタ21bの一部に突起部30bを設け、該突起部30b内に画素電極26と接続するドレイン電極19を設け、ソース電極18およびゲート電極12と位置をずらせて配置した例である。図6および図7の例の場合も、前記図4の場合と同様に、極性を間違えることなく容易かつ正確に搭載を行うことが可能である。

【0033】図8は前記図10に対応する図で、図7に示す形状の個別トランジスタ21bを搭載した状態を示す図である。この場合、図から明らかなように個別トランジスタ21bは、データ線24とゲート線25との交点上に搭載することが可能になり、斜線で示す1画素における開口部33の面積は、前記図10に示す開口部31の面積に比べてかなり拡大されることになる。このため、従来より高輝度の画像再生が可能になる効果を有する。

【0034】つぎに図9において、40は対向電極、41はカラー・フィルタ、42はカバーガラス、43は液晶である。この場合、個別トランジスタ21の厚さ寸法を、成膜プロセスを制御して所定の一定寸法に形成することにより、該個別トランジスタ21を、対向電極40およびカラー・フィルタ41を有するカバーガラス42とTFT基板5との貼り合わせの際のスペーサとして使用することができ、該貼りあわせた両者間の液晶ギャップを、簡便にかつ高精度に設定することが可能になる。このため、封入した液晶43の厚さは一定になり、液晶ギャップ設定用に従来使用していた多数のビーズ玉が不要になる効果を有する。

【0035】上記実施例においては、スイッチマトリックス形の液晶テレビモニタを例に説明したが、本発明はこれに限定されることなく、数 μm ないし数十 μm の小サイズのトランジスタをウエハ1上に一度に集中的に多数形成し、これをウエハ1上から切断分離した後に、分離した個別トランジスタ21を大面積の基板6上に多数搭載するものであれば対象となる。また、本発明を適用する対象に応じて、トランジスタの構成を変更してもよく、さらに、数 μm ないし数十 μm のサイズ上に、複数のトランジスタ等の素子を形成したユニットの形で、基板6上に多数搭載することも可能である。

【0036】

【発明の効果】以上説明したように本発明は、TFT基板とは異なるウエハ等の基板上に、該基板から切断分離

可能に多数のTFTを集中的に高密度に同時形成し、該高密度に形成されたTFTより切断分離した個別のトランジスタを、マトリックス用配線等を有する基板上の各画素に対応した位置にそれぞれ搭載してTFT基板を形成する構成にしたから、TFT形成における実質的な加工効率の向上とスケールファクタの緩和とにより、その製造歩留まりを向上させることが可能になる。そして、マトリックス用配線や画素電極の形成における切り出し精度も緩和されるため、大面積用の高精度な露光装置等の高価な製造装置を必要としなくなり、TFT基板の製造コストを大幅に低減することができ、液晶表示装置およびその製造方法のコストを低減することが可能になる効果を奏する。

【図面の簡単な説明】

【図1】本発明のTFT基板形成のフロー説明図である。

【図2】本発明の一実施例のウエハ上に形成されるTFTの構造例を示す断面図である。

【図3】本発明の一実施例のTFT基板に対する個別トランジスタの搭載要領説明図である。

【図4】本発明の個別トランジスタの搭載面形状の第1の実施例を示す側断面図である。

【図5】図4のV-V矢視図(下面図)である。

【図6】本発明の個別トランジスタの搭載面形状の第2の実施例を示す平面図である。

【図7】本発明の個別トランジスタの搭載面形状の第3の実施例を示す平面図である。

【図8】本発明の一実施例の個別トランジスタを搭載した1つの画素部分の拡大平面図である。

【図9】本発明の一実施例の個別トランジスタを搭載した液晶表示装置の一部側断面図である。

【図10】従来のトランジスタを搭載した1つの画素部分の拡大平面図である。

【図11】スイッチマトリックス形の液晶テレビモニタの概略構造を示す図である。

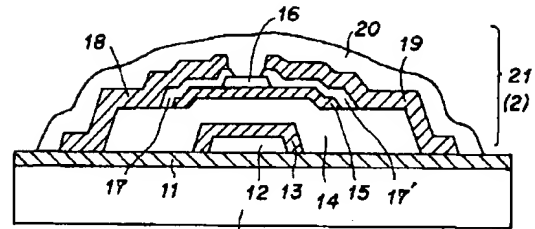
【図12】従来のTFTの側断面図である。

【符号の説明】

1…ウエハ、2…TFT(薄膜トランジスタ)、5…TFT基板、6…基板、11…リフトオフ層、12…ゲート電極、18、18'…ソース電極、19、19'…ドレイン電極、21、21a、21b…個別トランジスタ、23、23'…位置決め層、24…データ線、25…ゲート線、26…画素電極、31、33…画素の開口部、43…液晶。

【図 2】

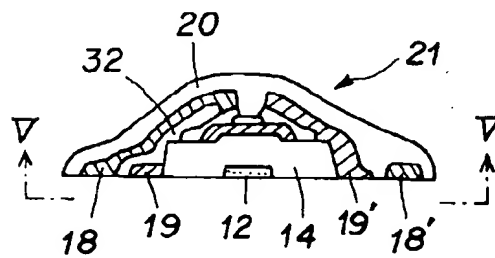
【図 2】本発明の TFT の側断面図



- | | |
|-----------------|-------------------|
| 1 --- ウエハ | 16 --- チャネルストップパ |
| 2 --- TFT | 17, 17' --- 拡散防止膜 |
| 11 --- リフトオフ層 | 18 --- ソース電極 |
| 12 --- ゲート電極 | 19 --- ドレイン電極 |
| 13 --- ゲート酸化膜 | 20 --- 保護膜 |
| 14 --- ゲート絶縁膜 | 21 --- 個別トランジスタ |
| 15 --- アモルファスSi | |

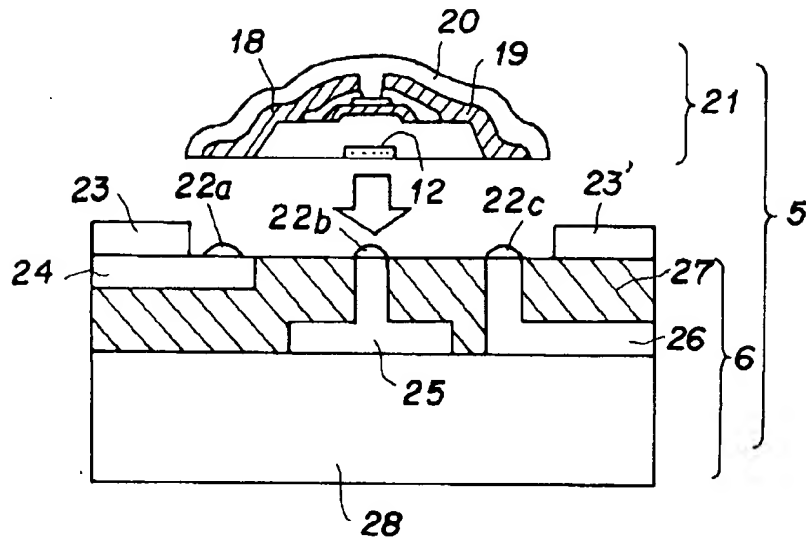
【図4】

【図 4】個別トランジスタの搭載面形状の第1の実施例



【図3】

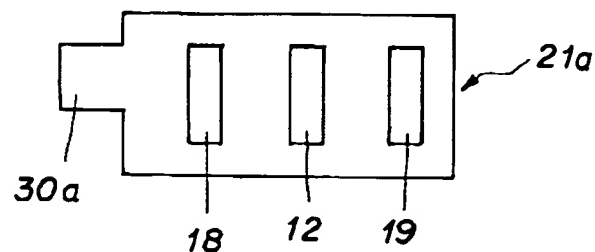
【図3】 個別トランジスタの搭載要領説明図



- | | |
|-----------------|-------------------|
| 5 --- TFT基板 | 22a~22c --- ハンガ |
| 6 --- 基板 | 23, 23' --- 位置決め層 |
| 12 --- ゲート電極 | 24 --- データ線 |
| 18 --- ソース電極 | 25 --- ゲート線 |
| 19 --- ドレイン電極 | 26 --- 画素電極 |
| 20 --- 保護膜 | 27 --- 絶縁層 |
| 21 --- 個別トランジスタ | 28 --- ガラス基板 |

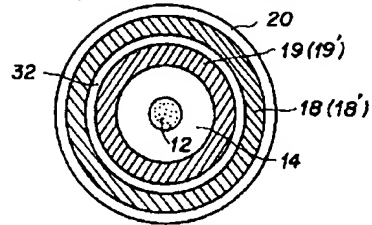
【図6】

【図6】 個別トランジスタの搭載面形状の第2の実施例



【図5】

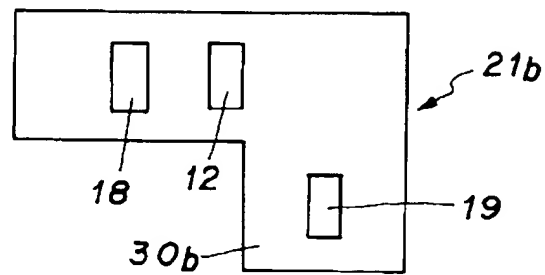
【図5】 図4のV-V矢視図



- 12 --- ゲート電極 20 --- 保護膜
 18, 18' --- ソース電極 21 --- 個別トランジスタ
 19, 19' --- ドレイン電極 32 --- 絶縁膜

【図7】

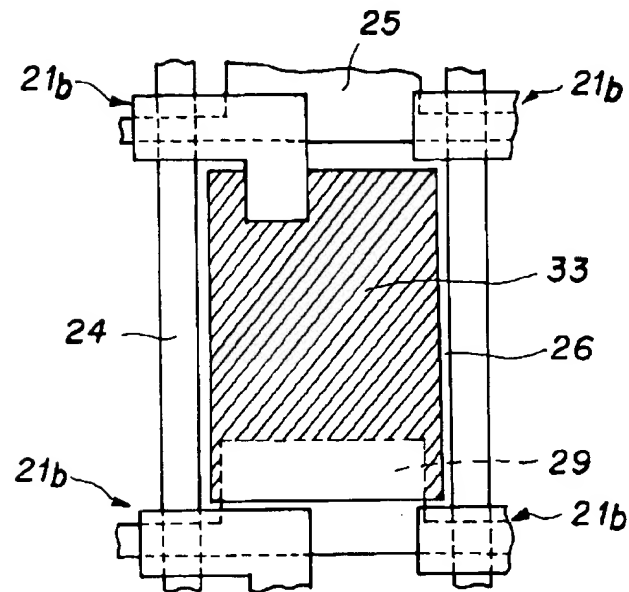
【図7】 個別トランジスタの搭載面形状の第3の実施例



- 12 --- ゲート電極 21_a --- 個別トランジスタ
 18 --- ソース電極 30_a --- 突起
 19 --- ドレイン電極

【図8】

【図 8】 本発明の1つの画素部分の拡大平面図



21b --- 個別トランジスタ

24 --- データ線

25 --- ゲート線

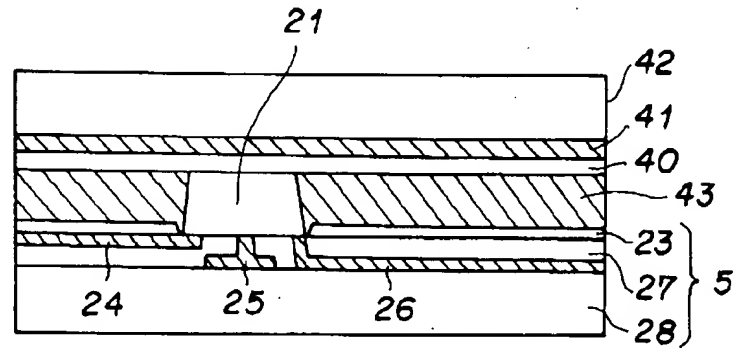
26 --- 画素電極

29 --- 容量蓄積部

31 --- 開口部

【図9】

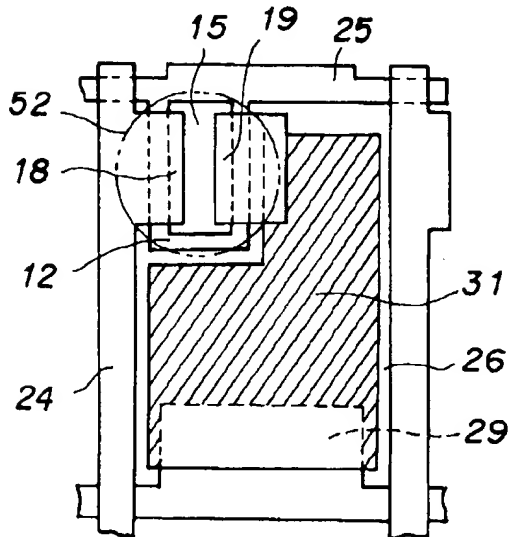
【図 9】本発明の液晶表示装置の一部側断面図



- | | |
|-----------------|----------------|
| 5 --- TFT基板 | 27 --- 絶縁層 |
| 21 --- 個別トランジスタ | 28 --- ガラス基板 |
| 23 --- 位置決め層 | 40 --- 対向電極 |
| 24 --- データ線 | 41 --- カラーフィルタ |
| 25 --- ゲート線 | 42 --- カバーガラス |
| 26 --- 画素電極 | 43 --- 液晶 |

【図10】

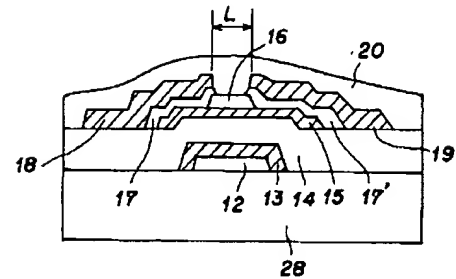
【図10】従来の1つの画素部分の拡大平面図



- | | |
|-----------------|---------------|
| 12 --- ゲート電極 | 24 --- データ線 |
| 15 --- アモルファスSi | 25 --- ゲート線 |
| 18 --- ソース電極 | 26 --- 画素電極 |
| 19 --- ドレイン電極 | 31 --- 開口部 |
| | 52 --- トランジスタ |

【図12】

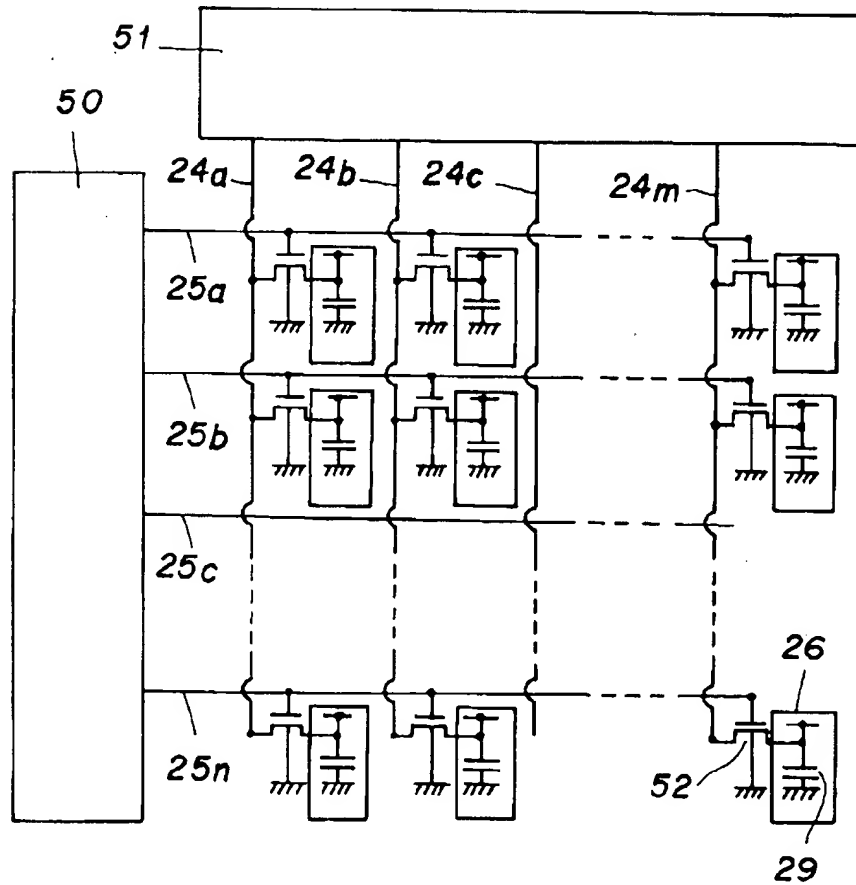
【図12】従来のTFTの側断面図



- | | |
|-------------------|---------------|
| 12 --- ゲート電極 | 18 --- ソース電極 |
| 13 --- ゲート酸化膜 | 19 --- ドレイン電極 |
| 14 --- ゲート絶縁膜 | 20 --- 保護膜 |
| 15 --- アモルファスSi | 28 --- ガラス基板 |
| 16 --- チャネル・ストップ | |
| 17, 17' --- 拡散防止膜 | |

【図11】

【図11】スイッチマトリックス形液晶テレビモニタの構造概念図



24a ~ 24m --- データ線 29 --- 容量蓄積部
 25a ~ 25n --- ゲート線 50 --- 走査駆動系
 26 --- 画素電極 51 --- 信号駆動系
 52 --- トランジスタ

フロントページの続き

(72)発明者 轟 悟

神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所生産技術研究所内